



OBC-SA

Kontakt

Samuel Pletner
Forschungsgruppenleiter
Systemarchitekturen
System Quality Center – SQC
Tel. +49 30 3463-7450
samuel.pletner@fokus.fraunhofer.de

Fraunhofer FOKUS
Kaiserin-Augusta-Allee 31
10589 Berlin

www.fokus.fraunhofer.de/de/sqc

Computersysteme in der Raumfahrt müssen über eine immer größere Rechenleistung verfügen, um Aufgaben, wie z. B. die Vorverarbeitung (on-the fly) von großen Datenmengen aus anspruchsvollen Experimenten und Nutzlasten oder sogar eine On-Board Berechnung von Steuerbefehlen im Weltraum, bewältigen zu können. Nur so können Raumfahrzeuge komplexe Dockingmanöver oder Landeanflüge eigenständig durchführen. Neben hohen Leistungsanforderungen müssen die On-Board Computersysteme auch Schnittstellen zur Einbettung in die oft redundante Kommunikationsinfrastruktur eines Raumfahrzeugs bereitstellen oder redundante Anschlüsse für Instrumente mit sehr hohen Datenraten im GBit-Bereich unterstützen.

On-Board Computer Systemarchitektur

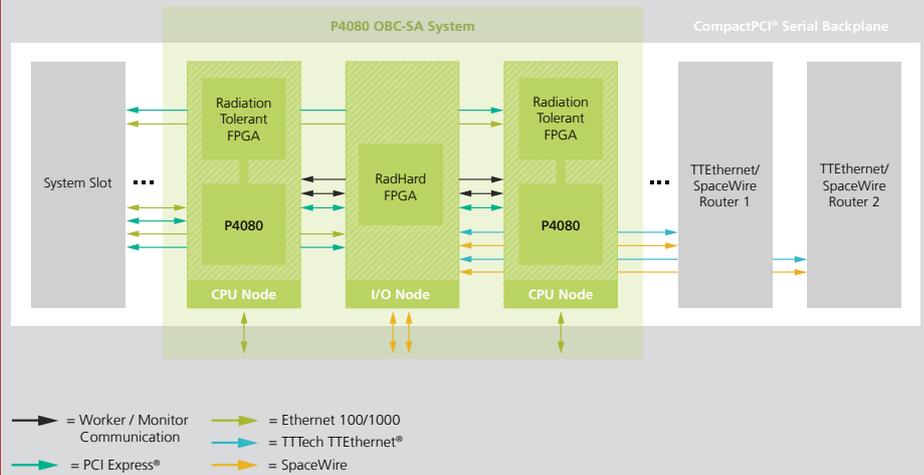
Im Projekt OBC-SA (On-Board Computer System-Architektur) wird daher eine Architektur für zukünftige On-Board Computersysteme entwickelt. Sie soll die modulare Integration von Systemen mit unterschiedlichen Leistungs- und Funktionsmerkmalen in eine redundante On-Board Systemarchitektur ermöglichen. Die Projektpartner entwickeln dazu ein Demonstrationssystem mit zwei fehlertoleranten On-Board Computern. Die Rechner basieren auf einem Intel Atom® mit TMR-Architektur (Triple Modularity Redundancy) und einem DMR-System (Dual Modularity Redundancy) mit einem High-End Embedded Multi-core-Prozessor P4080 von Freescale. Sie nutzen das Echtzeit-Betriebssystem PikeOS, das auch die Partitionierung der Ressourcen des P4080-Prozessors unterstützt. Darüber hinaus wird auf Basis einer 1 GBit Time-Triggered Ethernet (TT-Ethernet) Technologie ein redundant ausgelegtes Verbindungsnetzwerk realisiert, mit dem weitere Rechner und Subsysteme einfach und schnell angebunden werden können. Im Projekt entsteht außerdem eine I/O-Komponente, die den Anschluss von Sensoren und anderen Low-Speed-I/O-Geräten an das TT-Ethernet ermöglicht.



Projektpartner:



*Einbettung des P4080-Systems (DMR)
in die OBC-SA Verbindungsstruktur*



Die kompakte und robuste Aufbautechnik des OBC-SA Architekturrahmens basiert auf dem neuen Industrie-Standard CompactPCI® Serial. Die gemeinsame CompactPCI® Serial Backplane stellt Kommunikationsverbindungen für alle Subsysteme bereit. Der OBC-SA Architekturrahmen und die modulare Aufbautechnik des CompactPCI® Serial Standards ermöglichen die einfache Konfiguration zukünftiger On-Board Computersysteme aus unterschiedlichen Rechner- und I/O-Komponenten. Funktionalität, Rechenleistung, Redundanz und I/O-Schnittstellen können damit flexibel an missionspezifische Anforderungen angepasst werden.

P4080 Multicore-Prozessor

Der von Fraunhofer FOKUS entwickelte fehlertolerante Bordrechner basiert auf dem P4080, einer 8-Kern CPU der PowerPC-Multicore-Familie »QorIQ« von Freescale. Der Prozessor kann mit einer Taktfrequenz von bis zu 1,5 GHz betrieben werden und damit theoretisch eine Spitzenleistung von etwa 60 GIPS (GIGA-Instruktionen pro Sekunde) erreichen. Der P4080 wird in der besonders verlustleistungsarmen SOI (Silizium On Insulator)-Technologie gefertigt, die darüber hinaus weniger strahlungsempfindlich ist als herkömmliche CMOS-Technologie. Die geringere Strahlungsempfindlichkeit gegenüber TID (Total Ionizing Dose) und SEUs (Single Event Upsets) wurde im Rahmen des Projekts durch mehrere Bestrahlungstests nachgewiesen. Zudem ist die SOI-Technologie weitgehend Latch-Up frei. Der P4080 bietet zusätzlich die Vorteile eines hoch integrierten Embedded-Prozessors: Alle wichtigen Funktionen sind bereits On-Chip integriert, sodass ein kompletter Rechenknoten auf nur einer 3U cPCI® Serial Platine realisiert werden konnte.

Systemarchitektur

Trotz der geringen Strahlungsempfindlichkeit der SOI-Technologie können bei den im Weltraum herrschenden Bedingungen strahlungsbedingte sporadische Fehler im P4080 Prozessor und den anderen COTS (Commercial Off-The-Shelf) basierten Komponenten eines Rechenknotens nicht ausgeschlossen werden. Damit dennoch die hohen Anforderungen an die Zuverlässigkeit und Verfügbarkeit für den Weltraumeinsatz erfüllt werden, sind wirkungsvolle Fehlertoleranzmechanismen auf allen Ebenen eines COTS-basierten Rechnersystems unverzichtbar. Der auf dem P4080 basierende Hochleistungsrechner ist als DMR-System (Dual Modular Redundancy) aufgebaut. Er besteht aus zwei identischen Rechenknoten mit einer gemeinsam genutzten I/O-Platine. Die OBC-SA spezifischen Schnittstellen wurden durch entsprechende IPs innerhalb eines FPGA-Bausteins auf der I/O-Platine implementiert.

Technologie

- CompactPCI® Serial (PICMG® CPCI-5.0) Peripherie-Slot
- 8-Kern-Prozessor P4080
- PowerPC-Multicore-Familie »QorIQ« (Freescale)
- Taktfrequenz: bis zu 1,5 GHz
- Spitzenleistung: etwa 60 GIPS (GIGA-Instruktionen/ Sek.)
- SOI (Silizium On Insulator)-Technologie
- Multi-GigaBit Kommunikationskanäle
- Flexible Schnittstellen-Konfiguration durch getrennte I/O-Platine auf Xilinx Virtex-5 Basis
- Strahlungstoleranter FPGA-Baustein mit dreifach redundanter Logik (TMR)
- Synchronisierungs- und Voting-Einheit (TMR)
- SYSGO PikeOS Echtzeit-Betriebssystem
- schnelle parallele Verarbeitungsalgorithmen

Förderung

Das Projekt wird von der Raumfahrt-Agentur des Deutschen Zentrums für Luft- und Raumfahrt e.V. mit Mitteln des Bundesministeriums für Wirtschaft und Technologie gefördert.

